

WEST**End of Result Set**

Generate Collection

L1: Entry 1 of 1

File: JPAB

Dec 24, 1985

PUB-NO: JP360261154A

DOCUMENT-IDENTIFIER: JP 60261154 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: December 24, 1985

INVENTOR-INFORMATION:

NAME

COUNTRY

UDO, SHINJI

ISHIHARA, MASAMICHI

MATSUMOTO, TETSUO

HIROKI, MASANORI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI MICRO COMPUT ENG LTD

HITACHI LTD

APPL-NO: JP59116423

APPL-DATE: June 8, 1984

US-CL-CURRENT: 438/FOR 433; 29/25.02, 29/599, 148/DIG 55, 438/586

INT-CL (IPC): H01L 21/82; H01L 27/10

ABSTRACT:

PURPOSE: To achieve the small diameter of the grain of a fuse and the low resistance of the fuse, by forming the second conductor film and the following conductor film.

CONSTITUTION: A field insulating film 2 and a gate insulating film 3 are formed on the main surface of a P type single crystal Si. A first poly-Si film 4 is deposited on the entire surface as the first conductor film. A capacitor electrode 5 is formed. Then, a second poly-Si film 7 is formed as the second conductor film, by which a fuse is formed on the entire surface. A silicide film 8 is deposited on the film 7. The film 8 has polycide structure. Thus the increase in size of the poly-Si crystal can be suppressed, and the decrease in mechanical strength and the increase in resistance can be prevented, without the thermal oxidation process of the first conductor film. The breakdown of the fuse is prevented.

BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-261154

⑬ Int.Cl.⁴

H 01 L 21/82
27/10

識別記号

庁内整理番号

6655-5F
6655-5F

⑭ 公開 昭和60年(1985)12月24日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭59-116423

⑰ 出 願 昭59(1984)6月8日

⑱ 発 明 者 有 働 信 治 小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

⑲ 発 明 者 石 原 政 道 小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内

⑳ 出 願 人 日立マイクロコンピュータエンジニアリング株式会社 小平市上水本町1479番地

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 高橋 明夫 外1名

最終頁に続く

明 細 書

発明の名称 半導体装置

特許請求の範囲

1. 冗長回路に接続しその熔断により欠陥回路を救済するヒューズを有する半導体装置であって、半導体装置の製造プロセスにおける第2以降の導体膜にてヒューズを形成したことを特徴とする半導体装置。

2. ヒューズは下側のポリシリコン膜と上側の金属シリサイド膜とで多層構造としてなる特許請求の範囲第1項記載の半導体装置。

3. D-RAMのゲート電極を形成する第2ポリシリコン膜でヒューズを形成してなる特許請求の範囲第1項記載の半導体装置。

発明の詳細な説明

〔技術分野〕

本発明は冗長回路を備えて欠陥救済を行なう半導体装置に関し、特に冗長回路に接続されるヒューズの改善を図った半導体装置に関するものである。

〔背景技術〕

一般にP-ROM、D-RAM等のメモリ回路素子のように、回路の一部に欠陥が生じたときにこれを救済する欠陥救済回路、所謂冗長回路を有する半導体装置では、冗長回路に接続するヒューズを一体に形成しておき、このヒューズを適宜熔断することにより欠陥の救済を行なうようにしている。このヒューズの熔断方法にはレーザービーム照射方法や過電流通流方法等が使用されているが、回路素子の微細化に伴って微細化されるヒューズを確実に熔断させるには過電流通流方法が有利である。

ところで、前述したP-ROM(EPROM)やD-RAMのように、半導体装置の製造プロセスに第1、第2の導体膜(通常ではポリシリコン膜)を形成する工程を有する装置においては、先に形成する第1導体膜をヒューズとして形成する構造が採用されている。例えば、D-RAMの場合には第1導体膜(第1ポリシリコン)膜でキャパシタ電極を形成し、第2導体膜(第2ポリシリ

コン)膜でゲート電極を形成しているが、このキャパシタ電極の形成と同時にフィールド絶縁膜上等に第1ポリシリコン膜をパターンニングしてヒューズを形成しているのである。なお熔断時にはヒューズ上部は、パッシベーション膜や酸化膜を除去した開口構造となっている。(特願昭58-172990号)

ところが、本発明者がこのヒューズを有する半導体装置について検討したところ次のような問題点が生ずるということがあきらかとされた。

すなわち、第1ポリシリコン膜でヒューズを形成すると、このヒューズは、第1ポリシリコン膜と第2ポリシリコン膜の表面の各熱酸化処理を経験することになる。この為ポリシリコンの結晶(粒子)寸法が大きくなると共に、この結晶の粒界に沿って酸化が進むことが考えられる。この酸化された結晶粒界は、ヒューズ上部開口の酸化膜エッチング時に、エッチされる。つまり、結晶粒径が大きくなることで、膜表面から底面に達するまでの結晶粒界の和は短くなり酸化、エッチング

が進み易く、このような結晶粒界がヒューズを横断するとヒューズの断線(又は高抵抗状態)を発生する。

このヒューズの断線(又は高抵抗)は、ヒューズ熔断を困難にすると共に、パッケージ封入時の機械的力やエージングによるヒューズ抵抗値の変化、不良の発生も、信頼性の低下を招く。

また、製造プロセス上の問題として、前述の第1ポリシリコン膜の酸化(第2ポリシリコン膜との層間絶縁膜形成)工程で、ヒューズ表面が厚く酸化され、この酸化膜を除去した後のヒューズ完成寸法は、マスクからの寸法変換量が大きく、かつバラつきも大となり、制御性が悪くなる。

更に、ヒューズ上部を開口構造とする為、熱酸化膜、第2ポリシリコン膜、PSG、最終パッシベーション膜等の除去開口のパターンニングマスクが多数枚必要となる。かつ一方では、この開口のエッチングにより、ヒューズ下地の熱酸化膜が、エッチング侵蝕されヒューズの機械的強度を低下させる。

〔発明の目的〕

本発明の目的はヒューズの低抵抗化を図ってヒューズ熔断を容易にする一方、前述のプロセス及び構造上の問題になるヒューズの断線(または高抵抗)をなくすことにより歩留及び信頼性を高め、更にヒューズ寸法のコントロール性の向上、マスク工程数の低減、ヒューズの機械的強度の向上等実現することのできる半導体装置を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

〔発明の概要〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、第2導体膜ないしそれ以降の導体膜にてヒューズを形成してヒューズの小粒酸化および低抵抗化を達成するものであり、更に好ましくはヒューズを低抵抗導体膜との多層構造にして前

述の低抵抗化を促進するものである。具体的には、第2ポリシリコン膜をヒューズとして構成し、かつこの上に金属シリサイド膜を重ねてポリサイド構造としたものである。また、Mo、Wなどの金属配線層でヒューズを形成するものである。

〔実施例〕

第1図(A)~(D)は本発明をD-RAMに適用した実施例の製造工程図である。

先ず、同図(A)のように、P型単結晶シリコン基板1の主面上に常法によりフィールド絶縁膜2およびゲート絶縁膜3を形成する。そして、この全面に第1導体膜としての第1ポリシリコン膜4をCVD法等により被着し、かつこれを所定のパターン形状にエッチングすることによりチャペシタ電極5を形成する。このキャパシタ電極5は熱酸化処理されて表面にSiO₂膜6が形成される。

次いで、同図(B)のように全面に第2導体膜としての第2ポリシリコン膜7を形成し、更にその上にMoSi₂等のシリサイド膜8を被着しかつこれを熱処理することによりポリサイド構造とする。その

侵蝕を防止して電気的特性の安定化を図りかつヒューズの信頼性を向上する。

(5) ヒューズ表面の酸化が零ないし微小であるので、酸化によるヒューズ寸法の低減は極めて小さく、パターン寸法がそのままヒューズ寸法となって設計値に一致した幅寸法のヒューズを形成でき、溶断等を容易に行なうことができる。

以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。たとえば、ヒューズのポリサイドを形成する金属シリサイドはMoの他にWやTa等の高融点金属を使用してもよい、またビュアの金属膜そのものを使用してもよい。また、半導体プロセスによって3層以上のポリシリコン膜形成を行なう場合には最終のポリシリコン膜でヒューズを形成してもよい。更に、層間絶縁膜はSiO₂膜を使用してもよい。また、パッシベーション膜は、プラズマSiN膜等を使用してもよい。また、ヒューズ

ズ切断後にパッシベーション膜を被着し、ヒューズの信頼性（機械的強度を向上させる）向上を図った構造にしてもよい。

〔利用分野〕

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるDRAMの冗長回路用ヒューズに適用した場合について説明したが、それに限定されるものではなく、たとえばP-ROM、その他の冗長回路を有するデバイスの全てに適用できる。

図面の簡単な説明

第1図(A)~(D)は本発明の半導体装置の製造工程図、

第2図はヒューズの平面図、

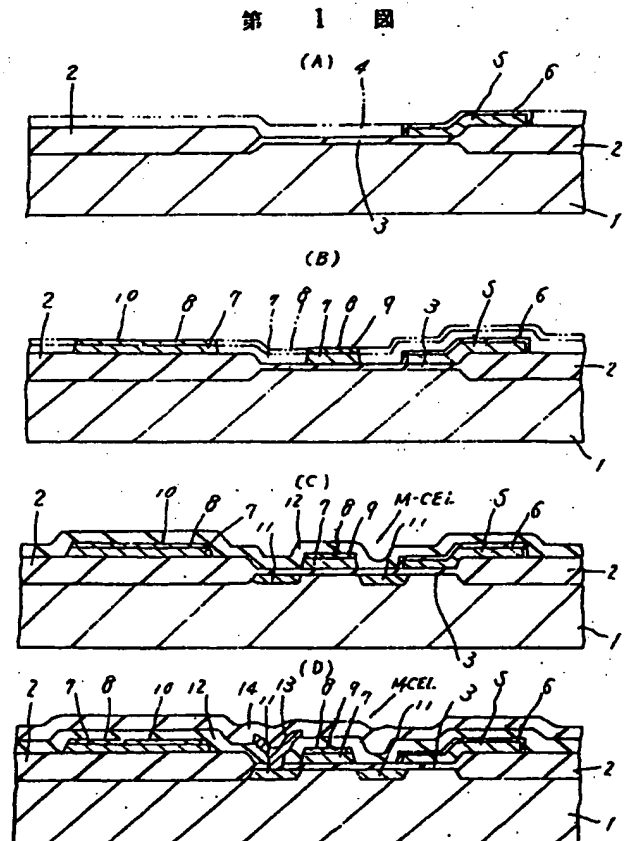
第3図は第2図のIIII線断面図である。

1…シリコン基板、2…フィールド絶縁膜、3…ゲート絶縁膜、4…第1ポリシリコン膜、5…キャパシタ電極、6…層間絶縁膜、7…第2ポリシリコン膜、8…MoSi₂膜（金属シリサイド膜）、9…ゲート電極、10…ヒューズ、11…ソース。

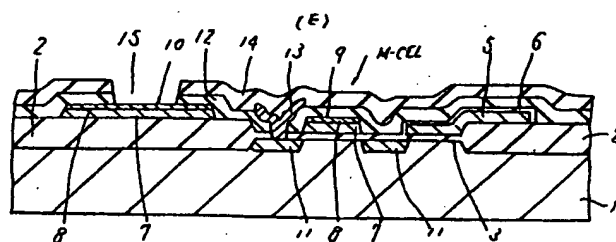
ドレイン領域、12…PSG膜、13…A₁配線、14…パッシベーション膜、15…開口。

代理人 弁理士

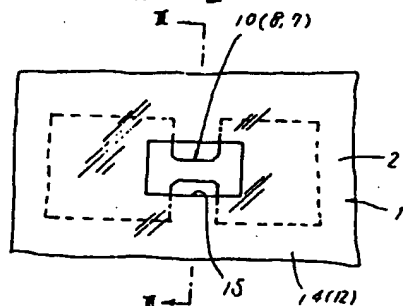
高橋明夫



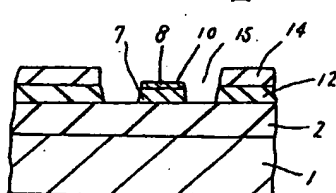
第 1 図



第 2 図



第 3 図



第1頁の続き

②発 明 者	松 本	哲 郎	小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内
②発 明 者	尋 木	正 紀	小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.